

(19) 世界知的所有權機關
國際事務局



(43) 国際公開日
2006 年 4 月 20 日 (20.04.2006)

PCT

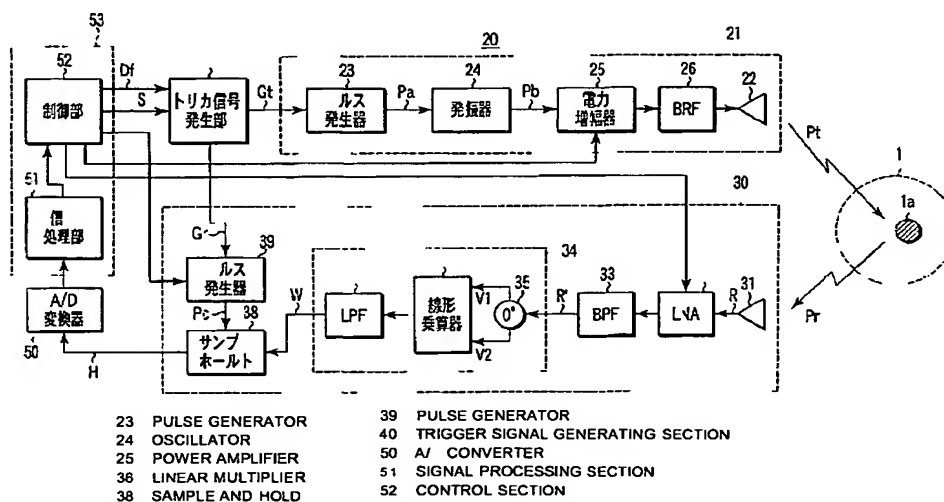
(10)
WO 2006/041042 A1

- | | | |
|---|---------------------------------|---|
| (51) 国際特許分類:
GOIS 7/28 (2006.01) | GOI占15刀0 (2006.01) | (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 内野 政治
(UCHINO, Masaharu) [JP/JP]. |
| (21) 国際出願番号: | PCT/JP2005/018662 | (74) 代理人: 鈴江 武彦, 外(SUZUYE, Takehiko et al.); 〒1000013 東京都千代田区霞が関3丁目7番2号 鈴業特許総合事務所内Tokgo (JP). |
| (22) 国際出願日: | 2005 年 10 月 7 日(07.10.2005) | (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW |
| (25) 国際出願の言語: | 日本語 | (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, |
| (26) 国際公開の言語: | 日本語 | |
| ほ0) 優先権子ータ:
特願 2004-300320 | 2004 年 10 月 14 日(14.10.2004) JP | |
| (71) 出願人(米国を除く全ての指定国について): アンリツ株式会社 (ANRITSU CORPORATION) [JP/JP]; 〒2438555 神奈川県厚木市息名五丁目1番1号 Kcmagawa (JP). 松下電器産業株式会社 (Matsushita Electric Industrial Co., Ltd.) [JP/JP]; 〒5718501 大阪府門真市大字門真100-6番地 Osaka (JP). | | |

/ 続葉有 /

(54) Title: SMALL AND LOW POWER CONSUMPTION SHORT PULSE RADAR HAVING TIME LAG BETWEEN TRANSMISSION AND RECEPTION ARBITRARILY VARIABLE WITH HIGH TIME RESOLUTION AND ITS CONTROL METHOD

(54) 発明の名称: 送受信間の遅延時間を高い時間分解能で任意に変えられる小型で且つ消費電力が少ない短パルスレーダ及びその制御方法



(57) **Abstract:** A short pulse radar and its control method wherein the first level transition timing of a variable period pulse outputted from a variable period pulse generator including a direct digital synthesizer (DDS) after receiving an instruction of search is employed as a reference timing, a signal making a level transition at the reference timing or after a fixed time lag from the reference timing is generated and outputted as a transmission trigger signal, and a signal making a level transition with a time lag equal to a half of the period of the variable period pulse or an integral multiple of the period from the output timing of the transmission trigger signal is generated and outputted as a reception trigger signal. Time lag between the transmission trigger signal and the reception trigger signal can be made variable by previously making the frequency data of the DDS variable depending on the relation between the frequency data stored in a memory and the time lag between transmission and reception. Consequently, the time lag between transmission and reception can be made variable arbitrarily with high time resolution and low power consumption through a simple arrangement.

〔統葉有〕

WO 2006/041042 A1



SL, SZ, TZ, UG, ZM, ZW), -X-ラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, R, SE, SI, SK, TR), OAPI の F, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MW, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明の短パルスレーダ及びその制御方法では、ダイレクトデジタルシンセサイザ (DDS) を含む可変周期パルス発生器から出力される可変周期パルスが、探査指示を受けてから最初にレベル遷移したタイミングを基準タイミングとし、その基準タイミングまたはこの基準タイミングから固定時間分遅れてレベル遷移する信号を生成して送信トリガ信号として出力し、その出力タイミングから可変周期パルスの半周期分あるいはその整数倍遅延したタイミングにレベル遷移する信号を生成して受信トリガ信号として出力するように構成される。そして予め、メモリに記憶されている周波数データと送受信間の遅延時間との関係に基づいて、DDSの周波数データを可変することにより、送信トリガ信号と受信トリガ信号との間の遅延時間を可変にすることができる。このため、簡単な構成で、低消費電力で且つ送受信間の遅延時間を高い時間分解能で任意に可変とすることができる。